1.

A table with numbers and letters

Description automatically generated

Reducción de las funciones de cada bit:

Bits de las instrucciones: input(0) = x\_0, input(1) = x\_1, etc…

A screenshot of a blackboard with math equations

Description automatically generated

2. Código hecho en el archivo “Decoder.vhd”.

Las sentencias concurrentes usadas para cada salida de la Unidad de Decodificación están basadas en las funciones reducidas obtenidas en la primera consigna del trabajo practico. En el caso de las salidas compuestas por más de un bit, se definió una función para cada bit.

El circuito implementado es combinacional, ya que solo depende de la combinación de los valores de entrada para definir un valor de salida. Para la misma combinación, siempre se obtiene el mismo valor de salida.

3. Código del registro hecho en el archivo “regs\_16.vhd”, el del multiplexor y demultiplexor se encuentran en los archivos “mux2\_4.vhd” y “dmux2\_1” respectivamente.

Para implementar el banco de 16 registros que se pide haciendo uso del banco de 8 registros dado, es necesario conectar ambos por medio de un demultiplexor y un multiplexor para que los registros funcionen en conjunto.

Se implementaron un DMUX2\_1 (dmux2\_1.vhd) para dirigir­ la señal we y un MUX 2\_4 (mux2\_4.vhd) para elegir cuál de las salida de banco es la que se envía a la salida del banco de 16 registros.

El DMUX recibe la entrada we y usa el bit de mayor peso de rd como selector para elegir cuál de los bancos regs se habilita para la escritura, ya que esto representa una tabla de combinaciones dividida a la mitad, que solo se diferencia por ese último bit. El MUX recibe la salida dout de ambos bancos regs y usa el bit de mayor peso de rs para seleccionar cuál de los dos es la salida final del componente.

Las entradas rst, clk y din se conectan tal cual a las entradas correspondientes de ambos bancos regs. El resto de los bits de las entradas rs y rd (del bit 2 al bit 0) se conectan a las entradas rs y rd de los bancos.

A diagram of a computer

Description automatically generated

4. La frecuencia de operación optima a la que puede trabajar es de 34.48 mHz.

El tiempo se calcula según la instrucción que más tiempo tome en ejecutar, las cuales son las instrucciones que utilizan la ALU (ADD, SUB, AND, OR, etc…).

A computer screen shot of a diagram

Description automatically generated

5. En cada fila de la tabla se especifica la instrucción dada y su código hexadecimal que se cargaría en la ROM del programa, y se resaltan los registros que participan en la operación.

A screenshot of a table

Description automatically generated