1.

A table with numbers and letters

Description automatically generated

Bits de las instrucciones: input(0) = x\_0, input(1) = x\_1, etc…

A screenshot of a blackboard with math equations

Description automatically generated

2. Código hecho en el archivo “Decoder.vhd”.

Las sentencias concurrentes usadas para cada salida de la Unidad de Decodificación están basadas en las funciones reducidas obtenidas en la primera consigna del trabajo practico. En el caso de las salidas compuestas por más de un bit, se definió una función para cada bit.

El circuito implementado es combinacional, ya que solo depende de la combinación de los valores de entrada para definir un valor de salida. Para la misma combinación, siempre se obtiene el mismo valor de salida.

3. USANDO EL BANCO DE 8 REGISTROS DE 16 BITS DADO, DESCRIBIR EN VHDL UN BANCO DE 16 REGISTROS DE 8 BITS.

~~3. Código hecho en el archivo “Regs.vhd”.~~

~~Se utilizó una señal que contiene un arreglo de vectores para ocupar el lugar de los registros que componen el banco. Cada vector del arreglo corresponde a un registro.~~

4. La frecuencia de operación optima a la que puede trabajar es de 34.48 mHz.

El tiempo se calcula según la instrucción que más tiempo tome en ejecutar, las cuales son las instrucciones que utilizan la ALU (ADD, SUB, AND, OR, etc…).

A computer screen shot of a diagram

Description automatically generated

5.

A screenshot of a table

Description automatically generated